

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

5-7-75

10 253 4E512

JA D254762
DEC 1985

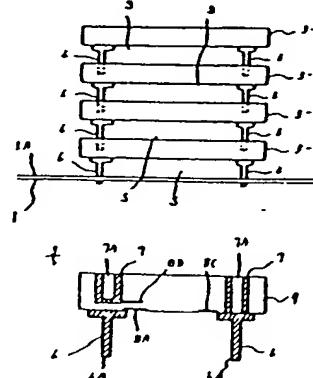
✓ 08 | U DES 55/

61) PACKAGE FOR SEMICONDUCTOR ELEMENT

- (1) 60-254762 (A) (1) 16.12.1985 (19) JP
(2) Appl. No. 59-331264 (2) 31.5.1984
(3) FUJITSU K.K. (7) SHIYOUHEI IKEHARA
(5) Int. Cl. II01L25/10

PURPOSE: To set address data for selecting semiconductor elements and to facilitate the increase and decrease in number of the semiconductor elements to be mounted, by providing contact pieces on the upper surfaces of packages, and mounting a plurality of the packages.

CONSTITUTION: Terminals 6 are provided at one side of a member 9 made of a ceramic material and the like. Contact pieces 7 are provided on the other side. Tip parts 6A are formed so that they can be inserted and pulled out. The terminals 6 and the contact pieces 7 are connected to semiconductor elements to be mounted through pattern wirings 8A, 8B and 8C. The increase and decrease in memory capacity are carried out by changing the number of mounting stages of packages 5. For the packages 5-1~5-4, inverters I are formed between the terminals 6-1 and the contact pieces 7-1, and exclusive OR gates G are formed between the terminals 6-2 and the contact pieces 7-2. Therefore, address data can be set based on the mounting sequence of the packages.



④日本国特許庁 (JP) ⑤特許出願公開
⑥公開特許公報 (A) 昭60-254762

⑦Int.Cl.⁴
H 01 L 25/10

識別記号 廈内整理番号
7638-5F

⑧公開 昭和60年(1985)12月16日

審査請求 未請求 発明の数 1 (全4頁)

⑨発明の名称 半導体素子のパッケージ

⑩特 願 昭59-111264
⑪出 願 昭59(1984)5月31日

⑫発明者 池原 昌平 川崎市中原区上小田中1015番地 富士通株式会社内
⑬出願人 富士通株式会社 川崎市中原区上小田中1015番地
⑭代理人 弁理士 松岡 宏四郎

明細書

1. 発明の名称

半導体素子のパッケージ

2. 発明請求の範囲

半導体素子を有するパッケージであって、一面にアドレス設定信号を入力するための第1端子、該一面とは逆の面の該第1端子に対応する位置に第2端子、該第1端子より入力された該アドレス設定信号を変更して該第2端子より出力するアドレス変更手段を有することを特徴とする半導体素子のパッケージ。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明はプリント基板に半導体素子を有する同一種類の複数のパッケージが複数されて実装された半導体素子の実装方法に係り、特に、所定のパッケージが選択できる回路が形成されるようにした半導体素子のパッケージに関するもの。

(b) 製造技術と問題点

複数のノモリ素子などの半導体素子がプリント

基板に実装される場合は第1段に示すように構成されている。第1段は従来の半導体素子のパッケージの概要を示す(a)図は斜視図、(b)図は説明図である。

(a)図に示すように半導体素子2-1～2-nはリード端子が抜けられたパッケージに封止され、パターン配線を有するプリント基板1の実装面1Aにパッケージを配置することで実装されている。このパッケージのそれぞれのリード端子はプリント基板1の所定のランドに半埋付され、パターン配線に接続されるよう構成されている。

このような半導体素子2-1～2-nは例えば基板の構成上メモリ容量が増減する場合があり、半導体素子2-1～2-nの実装数を変える必要がある。したがって、半導体素子2-1～2-nの実装数が減少した場合は当然プリント基板1の大きさは小さくても、例えば1mの長さの大きさは点線のようく1mの長さの小角にすることができる。しかし、一般的にプリント基板1の大きさは所定の大きさによって形成されているため、大きさの異なった各個のプリント基板1を製作す

ことはコストアップとなる。

そこで、所定の大きさのプリント基板1には必要を半導体素子2-1～2-8を配設し、メモリ容量の削減によって不要となつた半導体素子は抜去し、半導体素子の未実装箇所が有するように構成されている。したがつて、実装効率が悪い欠点を有していた。

また、このような構成では半導体素子2-1～2-8は所定の半導体素子を選択してアクセスできるよう例図Cに示す回路が形成されている。

半導体素子2-1～2-8のそれぞれにはアドレス設定部4-1～4-8とゲートG1～G8とが接続され、アドレス設定部4-1～4-8に所定のアドレスを設定することにより、記憶部3-1～3-8のアクセスは所定のアドレス情報をそれぞれのゲートG1～G8に送り出し所定の記憶部が選択されて行なわれるよう構成されている。したがつて、それぞれのアドレス設定部4-1～4-8の一つ一つに對して所定のアドレスを設定しなければならない問題を有していた。

(c) 発明の目的

本発明の目的はパッケージの上面には接触子を受け、接続のパッケージが複数して実装できるようにしての実装によって半導体素子の選択すべきアドレス情報の設定が行なはれ、かつ、半導体素子の実装の増減が容易に行なえるようにしたもので、前述の問題点を除去したもの提供するものである。

(d) 発明の構成

本発明の目的は、かかる半導体素子の実装方法において、一面にアドレス設定信号を入力するための第1端子、該一面とは逆の面の該第1端子に対応する位置に第2端子、該第1端子より入力された該アドレス設定信号を変更して該第2端子より出力するアドレス実装手段を有することを特徴とする半導体素子のパッケージにより達成される。

(e) 発明の実施例

以下本発明を第2図および第3図を参考に詳細に説明する。第2図は本発明による半導体素子のパッケージの一実施例を示す、第2図の(a), (b),

(c)図は説明図、第3図は構成図である。

プリント基板1の実装面1Aにはパッケージ5-1の端子6が半埋めされるとてパッケージ5-1が固定され、このパッケージ5-1には更にパッケージ5-2が、パッケージ5-2はパッケージ5-3が、それぞれの端子6が挿入されることで接続するよう実装されたようにしたのである。

このよう接続は例図Cに示すようにパッケージ5を形成することで行なえる。セラミック材などによって形成された部材9の一方には端子6を設け、他方には接触片7を設け、接触片7の挿入孔7Aは端子6の先端部6Aが挿脱できるように形成され、それぞれの端子6および接触片7にはパターン配線8A, 8B, 8Cを介して内蔵された半導体素子に接続されるよう構成されている。

したがつて、メモリ容量の増減によって半導体素子の実装数を変える場合は構成されたパッケージ5の接続段数を変えることで行なえ、これが容易に行なえる。尚、パッケージ5-1, 5-2,

5-3, 5-4の積載には冷却を考慮して間隔Sを設けると良い。また、(c)図C示す所定のパッケージを選択する基準記録回路を形成することもできる。

それぞれのパッケージ5-1～5-4は端子6-1と接触片7-1との間にインバータIを、端子6-2と接触片7-2との間に挿他オアゲートGを形成すると、接続されるとこにより、パッケージ5-1と5-2, 5-2と5-3, 5-3と5-4とはそれぞれの端子6-1が接触片7-1に、端子6-2が接触片7-2に接続される。

そこで、パッケージ5-1の端子6-1と端子6-2を“0”にすると、パッケージ5-2の端子6-1と6-2は“1”と“0”、パッケージ5-3の端子6-1と6-2は“0”と“1”、パッケージ5-4の端子6-1と6-2は“1”と“1”が出力される。したがつてパッケージの積載順序によってアドレス情報の設定が行なわれる。

また、例えば、第3図に示す自動構成が可能である。互いの端子片6と接触片7とが接続されて

積載されたパッケージ5-1, 5-2, 5-3, 5-4のそれぞれにはゲートG1～G4とインバータI1とが設けられている。ゲートG1とインバータI1では前述のようにアドレス情報の設定が行はれる。

例えば、アドレス情報S1, S2を“0”に設定し、アドレス選択信号S3とS4とが“0”的時はパッケージ5-1の掛合ノアゲートG2とG3の出力は“1”となり、又、選択指示信号S5が“1”となるので、アンドゲートG4はオープンとなる。しかし、パッケージ5-2では掛合ノアゲートG2の出力が“0”、掛合ノアゲートG3の出力が“1”となり、パッケージ5-3では掛合ノアゲートG2の出力が“1”、掛合ノアゲートG3の出力が“0”となり、パッケージ5-4では掛合ノアゲートG2とG3との出力が“0”となり、いづれのアンドゲートG4もクローズとなる。したがって、アドレスセレクト信号S5はパッケージ5-1の記憶素子Mをアクセスするが、パッケージ5-2, 5-3, 5-4の記憶素子Mはアクセスされない。又、アドレス情報S1, S2を“0”に設定しパッケージ5-

～2を選択する場合はS3を“1”, S4を“0”、パッケージ5-3を選択する場合はS3“0”, S4を“1”、パッケージ5-4を選択する場合はS3を“1”, S4を“1”にすればよい。

このように構成すると、アドレス選択信号S3とS4の所定のアドレス情報によって、ノアゲートG2, G3出力を交換するゲートG4を介して所定のパッケージが選択され、所定の記憶素子Mをアクセスすることができる。

(I) 発明の効果

以上説明したように本発明はパッケージ5は積載されて実装されるようにして、パッケージ5は積載されることで、パッケージ5に形成されたゲート回路によって所定のアドレスが設定されるようにしたものである。

これにより、パッケージ5の実装は積載されて行なわれているため、パッケージ5の着脱による半導体素子の実装数の増減が容易となり、かつ、実装効率の向上を図ることができ、更に、従来のようなアドレス設定部および設定部のアドレス

設定は不要となり、実用効果は大である。

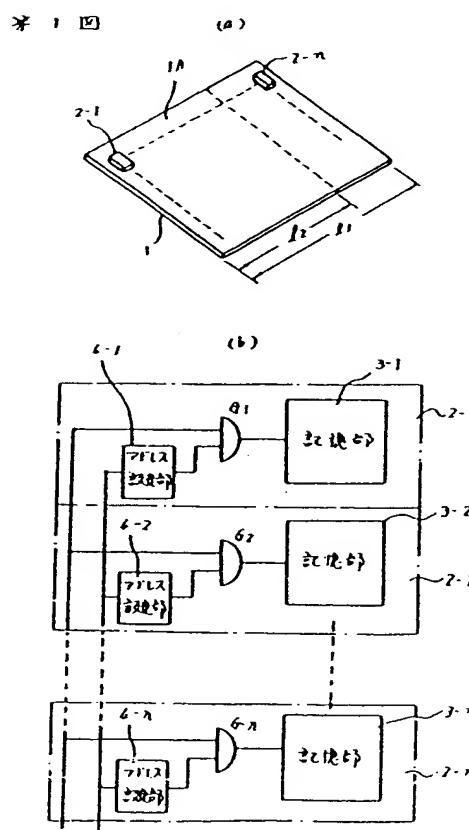
4. 製作の簡単な説明

第1図は従来の半導体素子のパッケージを示す。(a)図は引抜き面、(b)図は説明面、第2図の(a)(b)(c)図は本発明による半導体素子のパッケージの一実施例を示す説明図、第3図は回路構成図を示す。

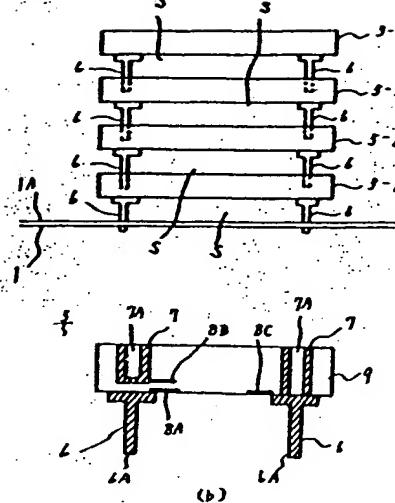
図中ににおいて、

1はプリント板基板、2-1～2-nは半導体素子、3-1～3-nは記憶部、4-1～4-nはアドレス設定部、5-1, 5-2, 5-3, 5-4はパッケージ、6-1, 6-2, 6-nは端子、7-1, 7-2, 7-nは接觸片を示す。

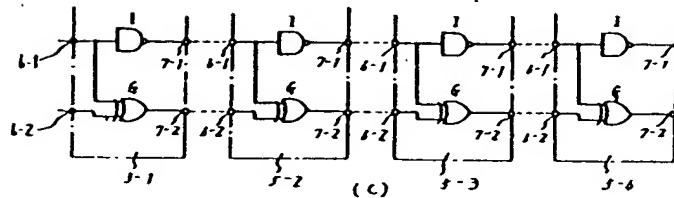
代理人 弁理士 松岡 宏四郎



半 Z 図 (a)



1



茅 3 四

